

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 3 0 日  
Date of Application:

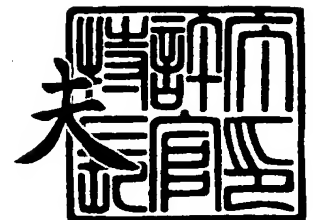
出 願 番 号            特 願 2 0 0 3 - 0 2 2 2 3 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 2 2 2 3 5 ]

出 願 人            セイコーエプソン株式会社  
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0439001

【提出日】 平成15年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 西田 治雄

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 石田 卓也

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テスト回路、集積回路及びテスト方法

【特許請求の範囲】

【請求項 1】 複数のマクロブロックを含む集積回路のためのテスト回路であって、

その第 1 の入力に、第 1 のマクロブロックからの出力信号が入力され、その第 2 の入力に、第 2 のマクロブロック用のテスト入力信号が入力される第 1 のセレクトと、

その第 1 の入力に、第 1 のセレクトからの出力信号が入力され、その第 2 の入力に、第 2 のマクロブロックからの出力信号が入力される第 2 のセレクトを含み、

第 1 のマクロブロックをテストする第 1 のテストモード時には、

前記第 1 のセレクトが、その第 1 の入力に入力された第 1 のマクロブロックからの出力信号を第 2 のセレクトの第 1 の入力に出力し、前記第 2 のセレクトが、その第 1 の入力に入力された第 1 のセレクトからの出力信号を第 1 のマクロブロックに出力し、

第 2 のマクロブロックをテストする第 2 のテストモード時には、

前記第 1 のセレクトが、その第 2 の入力に入力された第 2 のマクロブロック用のテスト入力信号を第 2 のマクロブロックに出力し、前記第 2 のセレクトが、その第 2 の入力に入力された第 2 のマクロブロックからの出力信号を第 2 のマクロブロック用のテスト出力信号として出力することを特徴とするテスト回路。

【請求項 2】 請求項 1 において、

テスト回路に対して第 1 のマクロブロックと共にスキャンパスが設定され、

前記第 1 のテストモードが、

前記スキャンパスを用いてスキャン手法でテストを行うスキャンモードであることを特徴とするテスト回路。

【請求項 3】 請求項 2 において、

第 1 のマクロブロックからテスト回路への出力信号の本数が I 本であり、テス

ト回路から第1のマクロブロックへの入力信号の本数がJ本 ( $I > J$ ) である場合に、第1のセレクトからのI本の出力信号のうちの ( $I - J$ ) 本の出力信号を保持する ( $I - J$ ) 個のダミーのスキャン用フリップフロップを含み、

前記スキャンモード時において、前記ダミーのスキャン用フリップフロップが、保持された出力信号をスキャンパスを介して出力することを特徴とするテスト回路。

【請求項4】 請求項1乃至3のいずれかにおいて、

Mビットの第2のマクロブロック用のテスト入力信号を、K本 ( $M > K$ ) のテスト入力端子からKビット毎に入力して蓄積し、蓄積したテスト入力信号を第1のセレクトに出力するテスト用バッファを含むことを特徴とするテスト回路。

【請求項5】 請求項1乃至4のいずれかにおいて、

第2のマクロブロックが、データ通信用の物理層回路を含むマクロブロックであり、

第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、

前記通信シーケンサが、

前記第2のテストモード時において、第2のマクロブロックへの送信データ信号を、第1のセレクトを介して第2のマクロブロックに送信する処理を行い、第2のマクロブロックからの受信データ信号を、第2のセレクトを介して第2のマクロブロックから受信する処理を行うことを特徴とするテスト回路。

【請求項6】 請求項5において、

第2のマクロブロックへの送信データ信号を蓄積するテスト用送信バッファと

第2のマクロブロックからの受信データ信号を蓄積するテスト用受信バッファとを含むことを特徴とするテスト回路。

【請求項7】 請求項6において、

前記テスト用送信バッファが、

テスト入力端子から入力された送信データ信号を蓄積し、

前記通信シーケンサが、

前記テスト用送信バッファによる送信データ信号の蓄積が完了した後に、蓄積された送信データ信号を、第 1 のセクタを介して第 2 のマクロブロックに送信する処理を行うと共に、ループバックモードに設定された第 2 のマクロブロックからの受信データ信号を受信する処理を行い、

前記テスト用受信バッファが、

受信された受信データ信号を蓄積し、蓄積した受信データ信号をテスト出力端子に出力することを特徴とするテスト回路。

【請求項 8】 請求項 6 又は 7 において、

前記テスト用送信バッファが、

第 2 のマクロブロックへの  $N$  ビットの送信データ信号を  $K$  本 ( $N > K$ ) のテスト入力端子から  $K$  ビット毎に入力し、

前記テスト用受信バッファが、

第 2 のマクロブロックからの  $N$  ビットの受信データ信号を蓄積し、蓄積した受信データ信号を  $K$  ビット毎に  $K$  本のテスト出力端子に出力することを特徴とするテスト回路。

【請求項 9】 請求項 1 乃至 8 のいずれかのテスト回路と、

前記第 1 のマクロブロックと、

前記第 2 のマクロブロックと、

を含むことを特徴とする集積回路。

【請求項 10】 その第 1 の入力に、第 1 のマクロブロックからの出力信号が入力され、その第 2 の入力に、第 2 のマクロブロック用のテスト入力信号が入力される第 1 のセクタと、その第 1 の入力に、第 1 のセクタからの出力信号が入力され、その第 2 の入力に、第 2 のマクロブロックからの出力信号が入力される第 2 のセクタとを含むテスト回路を用いたテスト方法であって、

第 1 のマクロブロックをテストする第 1 のテストモード時には、

第 1 のセクタの第 1 の入力に入力された第 1 のマクロブロックからの出力信号を、第 2 のセクタの第 1 の入力に出力し、第 2 のセクタの第 1 の入力に入力された第 1 のセクタからの出力信号を、第 1 のマクロブロックに出力し、

第 2 のマクロブロックをテストする第 2 のテストモード時には、

第1のセレクタの第2の入力に入力された第2のマクロブロック用のテスト入力信号を、第2のマクロブロックに出力し、第2のセレクタの第2の入力に入力された第2のマクロブロックからの出力信号を、第2のマクロブロック用のテスト出力信号として出力することを特徴とするテスト方法。

【請求項11】 請求項10において、

テスト回路に対して第1のマクロブロックと共にスキャンパスを設定し、

前記第1のテストモード時において、スキャンパスを用いてスキャン手法でテストを行うことを特徴とするテスト方法。

【請求項12】 請求項11において、

第1のマクロブロックからテスト回路への出力信号の本数がI本であり、テスト回路から第1のマクロブロックへの入力信号の本数がJ本 ( $I > J$ ) である場合に、第1のセレクタからのI本の出力信号のうちの ( $I - J$ ) 本の出力信号を保持し、

前記スキャンモード時において、保持された出力信号をスキャンパスを介して出力することを特徴とするテスト方法。

【請求項13】 請求項10乃至12のいずれかにおいて、

前記テスト回路が、第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、

前記第2のテストモード時において、前記通信シーケンサを用いて、第2のマクロブロックへの送信データ信号を、第1のセレクタを介して第2のマクロブロックに送信し、第2のマクロブロックからの受信データ信号を、第2のセレクタを介して第2のマクロブロックから受信することを特徴とするテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、テスト回路、集積回路及びテスト方法に関する。

【0002】

【背景技術】

近年、集積回路は大規模化しており、集積回路が含む全ての回路の故障（結線

不良、素子不良)を検出しようとする、テストパターンが複雑になってしまい、テストパターン開発の長期化や高コスト化を招く。このような問題を解決するものとしてスキャン手法と呼ばれるテスト手法が知られている。

#### 【0 0 0 3】

##### 【特許文献 1】

特開 2 0 0 1 - 1 8 3 4 2 4 号公報

#### 【0 0 0 4】

##### 【発明が解決しようとする課題】

このスキャン手法では、論理設計が終わり、回路のネットリストを生成した後、回路(ネットリスト)にスキャン用フリップフロップ(スキャン用回路)を挿入する。より具体的には、回路中のフリップフロップ(以下、適宜 F F と呼ぶ)をスキャン用 F F に置き換える。そしてスキャン用 F F を含むネットリストを用いて故障シミュレーションを行い、テストパターンを作成(自動生成)する。そしてこのテストパターンを用いて試作品や量産品のテストを行う。

#### 【0 0 0 5】

しかしながら、このスキャン手法を用いても、大規模な集積回路においては、テストパターンの作成や故障検出率の向上が難しくなっている。特に、近年、特定機能を有する回路をブロック化し、このブロック化された回路ブロックであるマクロブロック(マクロセル)を接続することで、集積回路を設計する手法が主流となっている。例えば U S B 2 . 0 の U T M I (USB2.0 Transceiver Mac rocell Interface)仕様に準拠したマクロブロックと、この U T M I を制御する回路(Serial Interface Engine)やユーザのカスタム回路を含む制御用マクロブロックとを接続することで、U S B 2 . 0 機能を有する特定用途の集積回路(A S I C)を設計できる。この場合に、各マクロブロックのそれぞれについてのテストパターンを作成することは比較的容易だが、マクロブロック間の接続部分の故障(結線不良)を検出するテストパターンの作成は容易ではないという課題がある。

#### 【0 0 0 6】

また集積回路では、端子数が膨大になっており、この端子数をなるべく減らす



必要があるという課題もある。従って、テスト端子の本数もなるべく少なくできることが望ましい。

#### 【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、テストパターン作成の容易化等を実現できるテスト回路、これを含む集積回路、及びこれを用いたテスト方法を提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

本発明は、複数のマクロブロックを含む集積回路のためのテスト回路であって、その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、第2のマクロブロック用のテスト入力信号が入力される第1のセレクタと、その第1の入力に、第1のセレクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの出力信号が入力される第2のセレクタとを含み、第1のマクロブロックをテストする第1のテストモード時には、前記第1のセレクタが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のセレクタの第1の入力に出力し、前記第2のセレクタが、その第1の入力に入力された第1のセレクタからの出力信号を第1のマクロブロックに出力し、第2のマクロブロックをテストする第2のテストモード時には、前記第1のセレクタが、その第2の入力に入力された第2のマクロブロック用のテスト入力信号を第2のマクロブロックに出力し、前記第2のセレクタが、その第2の入力に入力された第2のマクロブロックからの出力信号を第2のマクロブロック用のテスト出力信号として出力するテスト回路に係する。

#### 【0009】

本発明では、第1のテストモード時には、第1のマクロブロックからの出力信号が、第1、第2のセレクタを介して第2のマクロブロックに出力されるようになる。一方、第2のテストモード時には、第2のマクロブロック用のテスト入力信号が第2のマクロブロックに出力され、第2のマクロブロックからの出力信号が第2のマクロブロック用のテスト出力信号として出力されるようになる。

#### 【0010】

このようにすれば、例えば、第1のテストモードを用いることで、第1のマクロブロックとテスト回路との接続部分の故障検出が可能になる。また、第2のテストモードを用いることで、テスト回路と第2のマクロブロックとの接続部分の故障検出が可能になる。これにより、第1、第2のマクロブロック間の接続部分の故障検出が可能になる。

#### 【0011】

なお通常動作モード（第1、第2のテストモードではないモード）においては、第1のセレクトが、その第1の入力に入力された第1のマクロブロックからの出力信号を第2のマクロブロックに出力し、第2のセレクトが、その第2の入力に入力された第2のマクロブロックからの出力信号を第1のマクロブロックに出力してもよい。

#### 【0012】

また第2のマクロブロック用のテスト入力信号は、テスト入力端子から入力してもよいし、他の回路から入力してもよい。また第2のマクロブロック用のテスト出力信号は、テスト出力端子に出力してもよいし、他の回路に出力してもよい。また第1のセレクトの出力信号を他の回路を介して第2のセレクトの第1の入力に入力してもよい。また第1、第2のセレクトが備える入力、第1、第2の入力に限定されず、3以上の入力を備えていてもよい。

#### 【0013】

また本発明では、テスト回路に対して第1のマクロブロックと共にスキャンパスが設定され、前記第1のテストモードが、前記スキャンパスを用いてスキャン手法でテストを行うスキャンモードであってもよい。

#### 【0014】

ここでスキャンパスが設定されるとは、例えば、スキャンイン端子（1又は複数本）からスキャン用フリップフロップ（スキャン回路）を介してスキャンアウト端子（1又は複数本）に至るパスが設定されることをいう。

#### 【0015】

また本発明では、第1のマクロブロックからテスト回路への出力信号の本数がI本であり、テスト回路から第1のマクロブロックへの入力信号の本数がJ本（

I > J) である場合に、第 1 のセレクトタからの I 本の出力信号のうちの (I - J) 本の出力信号を保持する (I - J) 個のダミーのスキャン用フリップフロップを含み、前記スキャンモード時において、前記ダミーのスキャン用フリップフロップが、保持された出力信号をスキャンパスを介して出力するようにしてもよい。

#### 【0016】

このようにすれば、第 1 のマクロブロックからの I 本の出力信号 (第 1 ~ 第 I の出力信号) のうち、(I - J) 本の出力信号 (第 J ~ 第 I の出力信号) の結線不良等も効率良く調べることが可能になる。

#### 【0017】

また本発明では、M ビットの第 2 のマクロブロック用のテスト入力信号を、K 本 (M > K) のテスト入力端子から K ビット毎に入力して蓄積し、蓄積したテスト入力信号を第 1 のセレクトタに出力するテスト用バッファを含むようにしてもよい。

#### 【0018】

なおテスト用バッファが、蓄積した L ビットの第 2 のマクロブロック用のテスト出力信号を、K 本 (L > K) のテスト出力端子から K ビット毎に出力するようにしてもよい。

#### 【0019】

また本発明では、第 2 のマクロブロックが、データ通信用の物理層回路を含むマクロブロックであり、第 2 のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、前記通信シーケンサが、前記第 2 のテストモード時において、第 2 のマクロブロックへの送信データ信号を、第 1 のセレクトタを介して第 2 のマクロブロックに送信する処理を行い、第 2 のマクロブロックからの受信データ信号を、第 2 のセレクトタを介して第 2 のマクロブロックから受信する処理を行うようにしてもよい。

#### 【0020】

このようにすれば、第 2 のマクロブロックとの間の送受信処理が通信シーケンサにより自動的に行われるようになるため、テスト効率を向上できる。なお、通

信シーケンサが、送信処理機能と受信処理機能のいずれか一方のみを持つようにしてもよい。

#### 【0021】

また本発明では、第2のマクロブロックへの送信データ信号を蓄積するテスト用送信バッファと、第2のマクロブロックからの受信データ信号を蓄積するテスト用受信バッファとを含んでもよい。

#### 【0022】

このようにすれば、例えば、遅い周波数のクロック周波数で送信データ信号や受信データ信号を蓄積することも可能になり、より信頼性の高いテストを実現できる。なおテスト用送信バッファとテスト用受信バッファのいずれか一方のみを設けるようにしてもよい。

#### 【0023】

また本発明では、前記テスト用送信バッファが、テスト入力端子から入力された送信データ信号を蓄積し、前記通信シーケンサが、前記テスト用送信バッファによる送信データ信号の蓄積が完了した後に、蓄積された送信データ信号を、第1のセレクタを介して第2のマクロブロックに送信する処理を行うと共に、ループバックモードに設定された第2のマクロブロックからの受信データ信号を受信する処理を行い、前記テスト用受信バッファが、受信された受信データ信号を蓄積し、蓄積した受信データ信号をテスト出力端子に出力するようにしてもよい。

#### 【0024】

このようにすれば、テスト用送信バッファの送信データ信号を第2のマクロブロックに送信し、第2のマクロブロックからの受信データ信号をテスト用受信バッファに受信するという一連の送受信処理を自動的に行えるようになり、テスト効率を向上できる。

#### 【0025】

また本発明では、前記テスト用送信バッファが、第2のマクロブロックへのNビットの送信データ信号をK本 ( $N > K$ ) のテスト入力端子からKビット毎に入力し、前記テスト用受信バッファが、第2のマクロブロックからのNビットの受信データ信号を蓄積し、蓄積した受信データ信号をKビット毎にK本のテスト出

力端子に出力するようにしてもよい。

#### 【0026】

また本発明は、上記のいずれかのテスト回路と、前記第1のマクロブロックと、前記第2のマクロブロックとを含む集積回路に関係する。

#### 【0027】

なお集積回路は、第1、第2のマクロブロック以外のマクロブロックを含んでもよい。

#### 【0028】

また本発明は、その第1の入力に、第1のマクロブロックからの出力信号が入力され、その第2の入力に、第2のマクロブロック用のテスト入力信号が入力される第1のセレクタと、その第1の入力に、第1のセレクタからの出力信号が入力され、その第2の入力に、第2のマクロブロックからの出力信号が入力される第2のセレクタとを含むテスト回路を用いたテスト方法であって、第1のマクロブロックをテストする第1のテストモード時には、第1のセレクタの第1の入力に入力された第1のマクロブロックからの出力信号を、第2のセレクタの第1の入力に出力し、第2のセレクタの第1の入力に入力された第1のセレクタからの出力信号を、第1のマクロブロックに出力し、第2のマクロブロックをテストする第2のテストモード時には、第1のセレクタの第2の入力に入力された第2のマクロブロック用のテスト入力信号を、第2のマクロブロックに出力し、第2のセレクタの第2の入力に入力された第2のマクロブロックからの出力信号を、第2のマクロブロック用のテスト出力信号として出力するテスト方法に関係する。

#### 【0029】

また本発明では、テスト回路に対して第1のマクロブロックと共にスキャンパスを設定し、前記第1のテストモード時において、スキャンパスを用いてスキャン手法でテストを行うようにしてもよい。

#### 【0030】

また本発明では、第1のマクロブロックからテスト回路への出力信号の本数がI本であり、テスト回路から第1のマクロブロックへの入力信号の本数がJ本（ $I > J$ ）である場合に、第1のセレクタからのI本の出力信号のうちの（ $I - J$

) 本出力信号を保持し、前記スキャンモード時において、保持された出力信号をスキャンパスを介して出力するようにしてもよい。

#### 【0031】

また本発明では、前記テスト回路が、第2のマクロブロックとの間で所定の通信手順で送受信処理を行うための通信シーケンサを含み、前記第2のテストモード時において、前記通信シーケンサを用いて、第2のマクロブロックへの送信データ信号を、第1のセレクタを介して第2のマクロブロックに送信し、第2のマクロブロックからの受信データ信号を、第2のセレクタを介して第2のマクロブロックから受信するようにしてもよい。

#### 【0032】

##### 【発明の実施の形態】

以下、本実施形態について説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

#### 【0033】

##### 1. マクロブロック間の接続部分の故障検出

図1(A)に、複数のマクロブロックMB1、MB2(マクロセル、回路ブロック)を接続することで構成される集積回路の例を示す。このような集積回路の故障検出を行う場合に、例えば図1(B)に示すようにマクロブロックMB1内部の故障検出については、MB1にスキャンパスを設定して行う公知のスキャン手法により実現できる。またマクロブロックMB2内部の故障検出についても、例えばテスト入力端子TPIからテスト入力信号TINを入力し、その結果であるテスト出力信号TOUTをテスト出力端子TPOから出力することで実現できる。

#### 【0034】

しかしながら、図1(B)に示す手法によっても、接続部分10(I本の信号SC12の結線及びJ本の信号SC21の結線)の故障検出は難しいという課題がある。即ち、マクロブロックMB1にスキャンパスを設定してテストしたとし

ても、接続部分10（信号SC12、SC21）の故障検出率を例えば90パーセント以上にできるテストパターンの作成は困難である。このためテストパターン開発の長期化や高コスト化を招く。

#### 【0035】

また図1（B）の手法では、（I+J）本のテスト端子TPI、TPOを設ける必要があるため、端子数が増加してしまい、集積回路の高コスト化を招く。そこで、このようなマクロブロックMB1、MB2間の接続部分10の故障検出を容易化できるテスト回路の実現が望まれる。

#### 【0036】

### 2. テスト回路

図2に本実施形態のテスト回路TC及びこれを含む集積回路の構成例を示す。なお本実施形態のテスト回路TC及び集積回路は、図2に示す全ての構成要素を含む必要はなく、その一部を省略してもよい。また本実施形態の集積回路は3個以上のマクロブロックを含んでもよい。

#### 【0037】

図2においてマクロブロックMB1、MB2は、1又は複数の特定機能を有する回路（例えば通信用回路、通信用回路を制御する回路、バスとのインターフェース回路、RAM、CPU、DSP、液晶ドライバ、CCDコントローラ、或いはユーザのカスタム回路等）を有する回路ブロックである。

#### 【0038】

より具体的にはMB2は、例えば通信用の物理層回路を含む通信用のマクロブロックであり、更に具体的にはUTMI仕様（特定のインターフェース規格）に準拠したマクロブロックである。またMB1は、例えばMB2を制御する回路（SIE）、バッファ、インターフェース回路、或いはユーザのカスタム回路などを含むマクロブロックである。別の言い方をすればMB1は、ロジック回路により構成されるマクロブロックであり、MB2は、通信用物理層回路などのアナログ回路を含むマクロブロックである。

#### 【0039】

テスト回路TCはセレクトASEL1（第1のセクタ）を含む。ここでSEL

1 は、その第 1 の入力に、MB 1（第 1 のマクロブロック）からの出力信号 M1 OUT が入力される。またその第 2 の入力に、MB 2（第 2 のマクロブロック）用のテスト入力信号 T IN が入力される。この SEL 1 の選択動作は選択信号 S S 1 により制御される。

#### 【0040】

テスト回路 TC はセクタ SEL 2（第 2 のセクタ）を含む。ここで SEL 2 は、その第 1 の入力に、SEL 1 からの出力信号 S Q が入力される。また、その第 2 の入力に、MB 2 からの出力信号 M2 OUT が入力される。この SEL 2 の選択動作は選択信号 S S 2 により制御される。

#### 【0041】

そして図 3（A）に示すように MB 1 をテストする第 1 のテストモード（例えばスキャンモード）では、セクタ SEL 1 が、その第 1 の入力に入力された MB 1 からの出力信号 M1 OUT（例えば I 本）を選択して、その出力信号 S Q を SEL 2 の第 1 の入力に出力する。またセクタ SEL 2 が、その第 1 の入力に入力された第 1 のセクタからの出力信号 S Q を、入力信号 M1 IN（例えば J 本）として MB 1 に出力する。図 3（A）に示すように、この第 1 のテストモードでは、端子 DT IN（データ入力端子又はスキャンイン端子 SC IN 等）からテストパターン信号（論理テストパターン）を入力する。そして、端子 DT OUT（データ出力端子又はスキャンアウト端子 SC OUT 等）から出力される結果と期待値とを比較して検証を行う。

#### 【0042】

一方、図 3（B）に示すように、MB 2 をテストする第 2 のテストモードでは、SEL 1 が、その第 2 の入力に入力された MB 2 用のテスト入力信号 T IN（例えば I 本）を、入力信号 M2 IN（例えば I 本）として MB 2 に出力する。また SEL 2 が、その第 2 の入力に入力された MB 2 からの出力信号 M2 OUT（例えば J 本）を、MB 2 用のテスト出力信号 T OUT（例えば J 本）として出力する。この第 2 のテストモードでは、端子 TP I からテスト入力信号（論理テストパターン、送信データ信号）を入力する。そして端子 TP O から出力されたテスト出力信号（論理テストパターンの結果、受信データ信号）と期待値とを比較



して検証を行うことになる。

#### 【0043】

なお、第1、第2のテストモードではない通常動作モード（集積回路が通常に動作するモード）では、マクロブロックMB1からの出力信号M1OUTは、セクタSEL1を介してマクロブロックMB2への入力信号M2INとしてMB2に輸入される。またマクロブロックMB2からの出力信号M2OUTは、セクタSEL2を介してマクロブロックMB1への入力信号M1INとしてMB1に輸入される。

#### 【0044】

また、テスト入力信号TINは、テスト入力端子TPIからバッファなどを介して輸入される信号であってもよいし、図示しない回路（例えば後述する通信シーケンサ）から出力される信号であってもよい。またテスト出力信号TOUTも、テスト出力端子TPOにバッファなどを介して出力してもよいし、図示しない回路（例えば通信シーケンサ）に出力してもよい。

#### 【0045】

図2の本実施形態のテスト回路TCによれば、図3（A）の第1のテストモードにより、マクロブロックMB1とテスト回路TCの接続部分12の故障検出（結線不良）が可能になる。また図3（B）の第2のテストモードにより、テスト回路TCとマクロブロックMB2の接続部分14の故障検出も可能になる。これにより、結局、図1で説明したマクロブロックMB1、MB2間の接続部分10の故障検出が可能になる。

#### 【0046】

しかも図3（A）の第1のテストモードにより接続部分12の故障を検出するテストパターンは比較的容易に作成（自動生成）できる。また図3（B）の第2のテストモードでの接続部分14の故障検出も容易である。更にテスト入力信号TINやテスト出力信号TOUTを用いれば、マクロブロックMB2が通信用物理層回路などのアナログ回路を含む場合にも、そのテストを容易化できる。従って本実施形態によれば、テストパターン開発期間の短縮化、低コスト化を図れるとともに、故障検出率を高めて集積回路の信頼性を向上できる。

## 【0047】

## 3. スキャン手法

図3 (A) の第1のテストモードはスキャン手法でテストを行うスキャンモードであることが望ましい。例えば図4に示すように、マクロブロックMB1のみならずテスト回路TCに対してもスキャンパスを設定する。即ち、マクロブロックMB1内のフリップフロップのみならず、テスト回路TC内のフリップフロップもスキャン用FF (スキャン回路) に置き換えて、これらのスキャン用FFをネットで結んでスキャンパス (スキャンチェーン) を構成する。別の言い方をすれば、マクロブロックMB1及びテスト回路TCを1つのマクロブロックMB12と見なして、MB12のネットリストに対して、公知のスキャンテスト用ツールを用いてスキャン用FFを挿入する (スキャンパスを設定する)。

## 【0048】

例えば図5 (A) にフリップフロップFF1、FF2、FF3と、組み合わせ論理回路CM1、CM2を含む回路を示す。この回路をスキャン手法でテストする場合には、図5 (B) に示すように、フリップフロップFF1、FF2、FF3を、セクタSL1、SL2、SL3を有するスキャン用フリップフロップSFF1、SFF2、SFF3に置き換える。また組み合わせ論理回路CM1、CM2を通る通常パスをバイパスするスキャンパスSCP1、SCP2を設ける。

## 【0049】

そして、まず、スキャンイネーブル信号SCENを第1のレベル (例えばHレベル) に設定して、セクタSL1、SL2、SL3にスキャンパス側 (SCIN側) を選択させる。そしてスキャンイン端子SCINからテストパターン信号をシリアルに順次入力して、フリップフロップFF1、FF2、FF3に対してテストパターン信号を設定する。

## 【0050】

次に、スキャンイネーブル信号SCENを第2のレベル (例えばLレベル) に設定し、セクタSL1、SL2、SL3に通常パス側 (DIN側) を選択させる。そしてクロック信号CKを例えば1クロックパルス分だけアクティブにして、フリップフロップFF1、FF2の出力信号を組み合わせ回路CM1、CM2

に入力すると共に、CM1、CM2の出力信号をFF2、FF3に保持する。

#### 【0051】

次に、スキャンイネーブル信号SCENを第1のレベルに設定して、セレクタSL1、SL2、SL3にスキャンパス側（SCIN側）を選択させる。そして、フリップフロップFF1、FF2、FF3に保持されているテスト結果信号を、スキャンパスSCP1、SCP2を介して、スキャンアウト端子SCOUTからシリアルに出力し、期待値と比較する。このようにすることで、フリップフロップFF1、FF2、FF3及び組み合わせ論理回路CM1、CM2の素子不良や、これらの回路間の結線不良をテストできる。

#### 【0052】

図6にスキャン手法を用いるテスト方法のフローチャートを示す。まず回路設計を行い、設計した回路のネットリストを生成する（ステップS1、S2）。次に、公知のスキャンテスト用ツールを用いて、設計した回路にスキャンFFを挿入し、スキャンFFを含むネットリストを生成する（ステップS3、S4）。次に、スキャンFFを含むネットリストを用いて論理シミュレーションを行い、テストパターンを作成（自動生成）する（ステップS5、S6）。その後、回路のレイアウトを行い、マスクデータを生成する（ステップS7、S8）。そして、ステップS6で作成（自動生成）されたテストパターンを用いて、試作品又は量産品のテストを行う（ステップS9）。

#### 【0053】

以上のようなスキャン手法を用いると、マクロブロックの規模は若干大きくなるが、スキャンFFの間にある組み合わせ論理回路を切り出して部分的にテストできるようになるため、テストパターンの作成を容易化できると共に、故障検出率を向上できる。

#### 【0054】

そして本実施形態では図4に示すように、マクロブロックMB1とテスト回路TCを1つのマクロブロックMB12と見なして、マクロブロックMB1及びテスト回路TCに対して、スキャンイン端子SCINからスキャンアウト端子SCOUTに至るスキャンパスを設定している（スキャン用FFを挿入している）。

従って、マクロブロックMB 1とテスト回路TCの間の接続部分12の故障（結線不良）を高い故障検出率で検出できるテストパターンを容易に作成できるようになる。これによりテストパターン開発の期間短縮化、低コスト化を実現できる。

#### 【0055】

##### 4. ダミーのスキャン用フリップフロップ

本実施形態では、図7に示すようにテスト回路TCに1又は複数個のダミーのスキャン用フリップフロップDSFFを含ませることができる。

#### 【0056】

例えば図7では、マクロブロックMB 1からの出力信号M1OUTの本数がI本であり、テスト回路TCからMB 1への入力信号の本数がJ本（ $I > J$ 。I、Jは自然数又は2以上の整数）となっている。即ち出力信号M1OUTの本数の方が入力信号M1INの本数よりも多い。このように信号本数に違いがある場合において、テスト回路TC及びマクロブロックMB 1に一体的にスキャンパスを設定する図4の手法を実現するために、図7ではダミーのスキャン用フリップフロップDSFFをテスト回路TCに含ませている。

#### 【0057】

より具体的には、セクタSEL 1からのI本の出力信号（第1～第Iの出力信号）のうち、（ $I - J$ ）本の出力信号（第J～第Iの出力信号）を保持する（ $I - J$ ）個のダミーのスキャン用フリップフロップDSFFをテスト回路TC内に設ける。そして、図4で説明したスキャンモード（第1のテストモード）時において、ダミーのスキャン用フリップフロップDSFFが、保持した出力信号をスキャンパス（スキャンイン端子からスキャン用フリップフロップを介してスキャンアウト端子に至るパス）を介して出力するようにする。即ち、DSFFは、前段のスキャン用フリップフロップから入力された信号を保持し、保持した信号を後段のスキャン用フリップフロップに出力する。

#### 【0058】

例えば図6のステップS2で生成されるネットリストに対して、図8（A）に示すような3個（広義には（ $I - J$ ）個）のダミーのフリップフロップDFF 1

、DFF 2、DFF 3を含ませておく。これらのDFF 1、DFF 2、DFF 3のデータ端子Dには、セクタSEL 1からのI本の出力信号のうちの(I-J)本の出力信号DIN 1、DIN 2、DIN 3 (第J～第Iの出力信号)が接続される。

#### 【0059】

そして図6のステップS 4、S 5で説明したスキャン手法により、ネットリスト中のDFF 1、DFF 2、DFF 3を図8 (B)に示すようにダミーのスキャン用フリップフロップDSFF 1、DSFF 2、DSFF 3 (通常動作モードにおいては意味をなさない無効なダミーのフリップフロップ) に置き換える。

#### 【0060】

そしてスキャンモード時に、SL 1、SL 2、SL 3にDIN側を選択させて、信号DIN 1、DIN 2、DIN 3 (セクタSEL 1或いはSEL 1の後段のスキャン用フリップフロップからの(I-J)本の出力信号)を、DFF 1、DFF 2、DFF 3に保持させる。その後、SL 1、SL 2、SL 3にSCIN側を選択させて、SCINからSCOUTに至るスキャンパスを介して、DFF 1、DFF 2、DFF 3 (DSFF 1～DSFF 3) に保持された信号DIN 1、DIN 2、DIN 3をシリアルに出力させる。

#### 【0061】

図8 (C)には、マクロブロックMB 1及びテスト回路TCに設定されるスキャンパスの様子が概念的に示されている。例えば図8 (C)では、MB 1からTCへの出力信号M1OUT-1、M1OUT-2が2本(I本)であり、TCからMB 1への入力信号M1INが1本であるため、1個(I-J個)のダミーのスキャン用フリップフロップDSFF 1が設けられる。

#### 【0062】

そしてSEL 1-1 (第1のセクタ) の第1の入力には、MB 1内のフリップフロップFF 6からの出力信号M1OUT-1が入力され、第2の入力には、テスト入力端子TP I-1からのテスト入力信号TIN-1が入力される。そしてSEL 1-1の出力信号SQ-1は、TC内に設けられたダミーのスキャン用フリップフロップDSFF 1のデータ端子に入力される。

## 【0063】

またSEL1-2（第1のセクタ）の第1の入力には、MB1内のフリップフロップFF5からの出力信号M1OUT-2が入力され、第2の入力には、テスト入力端子TPI-2からのテスト入力信号TIN-2が入力される。そしてSEL1-2の出力信号SQ-2は、TC内に設けられたフリップフロップFF2のデータ端子に入力される。

## 【0064】

またSEL2（第2のセクタ）の第1の入力には、SEL1-2からの出力信号SQ-2が入力され、第2の入力には、MB2からの出力信号M2OUTが入力される。そしてSEL2の出力信号TOUTは、テスト出力端子TPO、或いはMB1内のフリップフロップFF4に出力される。

## 【0065】

そしてスキャンモード時には、SCINからSCOUTに至るスキャンパスを介して、DSFF1、FF2、FF3、FF4、FF5、FF6に保持された信号（値）がSCOUTからシリアルに出力され、これによりスキャン手法によるテストを実現できる。

## 【0066】

以上のようにすることで、図7のように信号M1OUTの本数Iの方がM1INの本数Jよりも多い場合においても、余った（I-J）本の信号M1OUTについての結線不良を、図4で説明したスキャン手法により検出できる。即ちこれらの（I-J）本の信号をスキャンモード時に、SCINからMB1、TCを介してSCOUTに至るスキャンパスを介して出力できるようになる。この結果、より信頼性のある故障検出が可能になる。

## 【0067】

なお、図8（A）では、スキャン用フリップフロップに置き換える前のダミーのフリップフロップDFF1、DFF2、DFF3は、そのQ端子に何も接続されていないフリップフロップとなっている。このようにQ端子に何も接続されていないフリップフロップDFF1、DFF2、DFF3は、ネットリスト生成ツールの仕様によっては、無効なフリップフロップであると認識されて削除されて

しまう可能性がある。従って、このような事態を防止するために、D F F 1、D F F 2、D F F 3 の Q 端子に対して、通常動作に対して悪影響を及ぼさないノード（例えば後述するテスト用バッファのノード）を接続するようにしてもよい。

#### 【 0 0 6 8 】

##### 5. 詳細例

##### 5. 1 全体構成

図 9 にテスト回路 T C の詳細な構成例を示す。なお本実施形態のテスト回路は図 9 に示す全て構成要素を含む必要はなく、その一部を省略してもよい。

#### 【 0 0 6 9 】

図 9 において T P I はテスト入力端子であり、T P O はテスト出力端子である。また T P C K はテストクロック端子であり、T P R S はリセット端子である。また T P A D、T P W R、T P R D はバッファ（レジスタ）のアドレス端子、ライト端子、リード端子である。また T P M D 1、T P M D 2 はテストモード端子である。また P D P、P D M は、U S B において定義される差動信号 D P、D M（データプラス、データマイナス）の端子である。

#### 【 0 0 7 0 】

図 9 において M B 2 は、データ通信用の物理層回路 P H Y を含むマクロブロックである。この M B 2 としては U T M I 仕様（広義には通信マクロブロック仕様）に準拠したマクロブロックなどがある。なおこのマクロブロック M B 2 は、D P、D M を用いて U S B 上で送信した送信データ信号を、ループバックモードで受信データ信号として受信する機能も有している。

#### 【 0 0 7 1 】

テスト回路 T C は通信シーケンサ C S Q を含む。この通信シーケンサ C S Q はマクロブロック M B 2 との間で所定の通信手順（通信マクロブロック仕様に準拠した通信手順）で信号の送受信処理（ハンドシェイク処理）を行うためのシーケンサである。この通信シーケンサ C S Q（テスト用送信バッファ T X B）からの送信データ信号は、M B 2 へのテスト入力信号 T I N 1 としてセレクト S E L 1 に入力される。またセレクト S E L 2 からのテスト出力信号 T O U T 1（T O U T）は、受信データ信号として通信シーケンサ C S Q（テスト用受信バッファ R

X B) に入力される。

#### 【0072】

より具体的には通信シーケンサCSQは、図3（B）で説明した第2のテストモード時において、マクロブロックMB2への送信データ信号を、セクタSEL1を介してMB2に送信する処理を行う。またMB2からの受信データ信号を、SEL2を介してMB2から受信する処理を行う。

#### 【0073】

通信シーケンサCSQはテスト用送信バッファTXB、テスト用受信バッファRXBを含む。TXBはMB2への送信データ信号（TIN1）を蓄積（store）するバッファ（レジスタ）である。RXBはMB2からの受信データ信号（TOUT1）を蓄積するバッファ（レジスタ）である。即ち、TXBは、テスト入力端子TPIから入力された信号TIを送信データ信号として蓄積する。またRXBは、MB2からの受信データ信号を蓄積し、蓄積した受信データ信号を信号TOとしてテスト出力端子TPOに出力する。

#### 【0074】

更に具体的にはテスト用送信バッファTXBは、テスト入力端子TPIから入力された送信データ信号TIを蓄積する。そして通信シーケンサCSQは、TXBによる送信データ信号TIの蓄積が完了した後（所定のバイト数の送信データ信号を蓄積した後）に、蓄積された送信データ信号を、セクタSEL1を介してマクロブロックMB2に送信する処理を行う。また通信シーケンサCSQは、ループバックモードに設定されたMB2からの受信データ信号TOUT1を受信する処理を行う。そしてテスト用受信バッファRXBは、受信された受信データ信号TOUT1を蓄積し、蓄積した受信データ信号をテスト出力端子TPOに出力する

なお、送信バッファTXB、受信バッファRXBのいずれか一方のみをテスト回路TCに設けるようにしてもよい。またTXB、RXBは通信シーケンサCSQの内部に設けてもよいし外部に設けてもよい。

#### 【0075】

テスト回路TCはテスト用バッファTSBを含む。このTSBはテスト入力信



号やテスト出力信号を蓄積 (store) するバッファ (レジスタ) である。より具体的には T S B は、テスト入力端子 T P I からの信号 T I を蓄積して、テスト入力信号 T I N 2 としてセクタ S E L 1 に出力する。また T S B は、セクタ S E L 2 からのテスト出力信号 T O U T 2 (T O U T) を蓄積して、信号 T O としてテスト出力端子 T P O に出力する。

#### 【 0 0 7 6 】

テスト回路 T C はデコーダ D E C を含む。この D E C は集積回路のテスト端子からの信号に基づいて、テスト回路の各回路に制御信号を出力する。より具体的にはデコーダ D E C には、バッファ T X B、R X B、T S B のアドレス (レジスタアドレス) を指定するためのアドレス信号 T A D や、これらのバッファへのライト信号 T W R、リード信号 T R D が入力される。またテストモード信号 T M D 1、T M D 2 (第 1、第 2 のテストモードを切り替えたり、テストモードと通常動作モードを切り替える信号) や、テスト用のクロック信号 T C K や、テスト用のリセット信号 T R S が入力される。デコーダ D E C は、テスト端子から入力されるこれらの信号に基づいてデコード処理を行い、通信シーケンサ C S Q (T X B、R X B)、テスト用バッファ T S B への制御信号 D C T L 1、D C T L 2 や、セクタ S E L 1、S E L 2 への選択信号 S S 1、S S 2 を生成する。

#### 【 0 0 7 7 】

例えば通信シーケンサ C S Q (T X B、R X B) はデコーダ D E C からの制御信号 D C T L 1 やテスト用クロック信号 T C K などに基づいて、T X B、R X B に送信データ信号、受信データ信号を蓄積する処理や、T X B、R X B から送信データ信号、受信データ信号を出力する処理や、送受信 (ハンドシェーク) 処理を行う。またテスト用バッファ T S B は、デコーダ D E C からの制御信号 D C T L 2 やテスト用クロック信号 T C K などに基づいて、T S B にテスト入力信号やテスト出力信号を蓄積する処理や、T S B からテスト入力信号やテスト出力信号を出力する処理などを行う。

#### 【 0 0 7 8 】

またデコーダ D E C は、信号 T M D 1、T M D 2 が共に L (ロー) レベル (第 1 のレベル) の場合には、選択信号 S S 1 を H (ハイ) レベルに設定して、セ

クタSEL1に信号M1OUTを選択させると共に、信号SS1をLレベルに設定して、セクタSEL2にM2OUTを選択させる。これにより動作モードが通常動作モード（テストモードではないモード）になる。

#### 【0079】

また信号TMD1がHレベル（第2のレベル）の場合には、信号SS1、SS2を共にHレベルに設定して、SEL1に信号M1OUTを選択させると共にSEL2に信号SQを選択させる。これにより動作モードが、マクロブロックMB1をテストする第1のテストモードになる。

#### 【0080】

また信号TMD2がHレベルの場合には、信号SS1、SS2を共にLレベルに設定して、SEL1に信号TIN1及びTIN2を選択させると共に、SEL2に信号M2OUTを選択させる。これにより動作モードが、マクロブロックMB2をテストする第2のテストモードになる。

#### 【0081】

### 5.2 バッファ構成

図10に、テスト用送信バッファTXB、テスト用受信バッファRXB、テスト用バッファTSBのアドレスマップを示す。

#### 【0082】

本実施形態では送信バッファTXB、受信バッファRXBは、各々、4段（広義には複数段）のバッファ構成（FIFO構成）となっている。即ち図10において、TxBuf0、TxBuf1、TxBuf2、TxBuf3は、送信バッファTXBの4段のバッファに相当し、RxBuf0、RxBuf1、RxBuf2、RxBuf3は、受信バッファRXBの4段のバッファに相当する。また、これらの4段の各バッファは8ビット構成になっている。即ち図10において、TxBuf0[7]～[0]はTxBuf0の各ビットを表す。TxBuf1、TxBuf2、TxBuf3も同様である。またRxBuf0[7]～[0]はRxBuf0の各ビットを表す。RxBuf1、RxBuf2、RxBuf3も同様である。

#### 【0083】

図10に示すように本実施形態では、端子TPADからの信号TADで指定されるアドレスが0x0～0x7（16進数表現）の範囲である場合には、送信バッファTXB、受信バッファRXBのいずれかがアドレス指定される。そして端子TPWRからのライト信号TWRがアクティブになると送信バッファTXBが指定され、端子TPRDからのリード信号TRDがアクティブになると受信バッファRXBが指定される。

#### 【0084】

一方、信号TADで指定されるアドレスが0x8～0xFの範囲である場合には、テスト用バッファTSBがアドレス指定される。また、リード、ライトの指定はリード信号TRD、ライト信号TWRにより行われる。そしてテスト用バッファTSBの各ビットには図10に示すように、TXMODE、XCVRSELECT、TERMSELECT・・・TXSTARTなどが割り当てられている。

#### 【0085】

例えばTXMODEは通信シーケンサCSQの送信モードを設定するビットである。TXMODEが「0」に設定されると、通信シーケンサCSQは4バイト（広義には複数バイト）の送信データを送信して停止する。一方、TXMODEが「1」に設定されると、CSQはTxBuf0に蓄積された1バイトの送信データを送信し続ける。

#### 【0086】

またXCVRSELECT、TERMSELECT、OPMODE1・・・SUSPEND等は、マクロブロックMB2の入力端子（M2IN）に所望の信号レベル（Hレベル、Lレベル）を設定するためのビットである。またMonRXACTIVE、MonRXERROR、MonLINESTATE1、MonLINESTATE0等は、マクロブロックMB2の出力端子（M2OUT）の信号レベルをモニタするためのビットである。

#### 【0087】

またTXSTARTは通信シーケンサCSQに対して送信（テスト用送信）の開始を指示するためのビットであり、TXSTARTを「1」に設定すると送信

が開始される。そして送信が完了するとTXSTARTは「0」にクリアされる。またTXMODEが「1」の時にTXSTARTに「0」を書き込むと送信が停止する。

#### 【0088】

さて集積回路においては端子数が増加すると製造コストの増加を招く。このためテスト端子についてもその本数をなるべく少なくできることが望ましい。そこで本実施形態では、図9のテスト端子TPI、TPOの本数を以下に述べるような手法で減少させている。

#### 【0089】

例えばマクロブロックMB2のテストに必要な入力信号がMビットであったとする。この場合に本実施形態では図11(A)(B)に示すように、テスト用バッファTSBが、このMビットのテスト入力信号を、K本( $M > K$ 。M、Kは自然数又は2以上の整数)のテスト入力端子TPIからKビット毎に入力して蓄積する。そして、蓄積した信号をテスト入力信号TIN2としてセクタSEL1に出力する。このようにすることで、本来はM本のテスト入力端子TPIが必要であるのに、これをK本に減らすことができる。

#### 【0090】

例えば図10において、XCVRSELECT~SUSPENDの全てのビットをTPIとして外部端子に設定すると、12本(M本)の端子が必要になってしまう。これに対して図11(A)(B)では、テスト用バッファTSBが、12ビット(Mビット)のテスト入力信号(XCVRSELECT~SUSPEND)をTPIから4ビット(Kビット)毎に取り込んで蓄積している。これによりTPIの本数を4本にすることができ、集積回路の端子数を減らすことができる。

#### 【0091】

また送信データ信号や受信データ信号のビット数がNビットであったとする。この場合に本実施形態では図11(C)(D)に示すように、テスト用送信バッファTXBが、このNビットの送信データ信号(テスト入力信号)を、K本( $N > K$ 。N、Kは自然数又は2以上の整数)のテスト入力端子TPIからKビット

毎に入力して蓄積する。そして蓄積した信号を、テスト入力信号  $TIN1$  としてセクタ  $SEL1$  に出力する。このようにすることで、本来は  $N$  本のテスト入力端子  $TP1$  が必要であるのに、これを  $K$  本に減らすことができる。また図 11 (C) (D) では、テスト用受信バッファ  $RXB$  が、マクロブロック  $MB2$  からの  $N$  ビットの受信データ信号（テスト出力信号）を蓄積し、蓄積した受信データ信号を  $K$  ビット毎に  $K$  本のテスト出力端子  $TPO$  に出力する。このようにすることで、本来は  $N$  本のテスト出力端子  $TPO$  が必要であるのに、これを  $K$  本に減らすことができる。

#### 【0092】

例えば図 10 において、 $TxBuf0[7] \sim TxBuf0[0]$  の全てのビットを  $TP1$  として外部端子に設定し、 $RxBuf0[7] \sim RxBuf0[0]$  の全てのビットを  $TPO$  として外部端子に設定すると、 $TP1$ 、 $TPO$  の本数がそれぞれ 8 本 ( $N$  本) になり、合計で 16 本の端子が必要になってしまう。これに対して図 11 (C) (D) では、送信バッファ  $TXB$  が、8 ビット ( $N$  ビット) の送信データ信号を 4 ビット ( $K$  ビット) 毎に  $TP1$  から入力して蓄積している。また、受信バッファ  $RXB$  が、8 ビットの受信データ信号を 4 ビット毎に  $TPO$  に出力している。これにより  $TP1$ 、 $TPO$  の本数をそれぞれ 4 本 ( $K$  本) にすることができ、集積回路の端子数を減らすことができる。

#### 【0093】

更に本実施形態では図 9、図 10 に示すように、4 本 ( $K$  本) の端子  $TP1$ 、 $TPO$  をバッファ  $TXB$ 、 $RXB$ 、 $TSB$  に共通接続し、アドレス信号  $TAD$  を用いてこれらのバッファ  $TXB$ 、 $RXB$ 、 $TSB$  の各ビットのアドレス指定を行っている。これにより集積回路の端子数を更に減らすことに成功している。

#### 【0094】

### 5. 3 通信シーケンサ

図 12 に通信シーケンサ  $CSQ$  の構成例を示す。但し通信シーケンサ  $CSQ$  の構成は図 12 に示すものに限定されない。

#### 【0095】

通信シーケンサ  $CSQ$  は送信シーケンサ  $TSQ$  を含む。この  $TSQ$  はマクロブ

ロックMB 2 との間でハンドシェークによる送信処理を行うためのシーケンサである。具体的には送信シーケンサTSQは、送信データ信号DATA INが有効であることを示す信号TXVALID（送信開始信号）をマクロブロックMB 2に出力する。そしてMB 2は、TXVALIDのアクティブ期間に存在するDATA INを1つのパケットと見なす。この信号TXVALIDは図9において、信号TIN1としてSEL1を介してMB 2に出力される。

#### 【0096】

また送信シーケンサTSQは、DATA INのバッファリングが完了したことを示す信号TXREADYを、MB 2から受ける。この信号TXREADYは図9において、MB 2からSEL2を介して信号TOUT1として送信シーケンサTSQに入力される。

#### 【0097】

そして送信シーケンサTSQは制御信号TCTL（送信開始信号等）を用いてテスト用送信バッファTXBを制御する。具体的には、送信バッファTXBによるテスト入力端子TPIからの信号TIの蓄積処理を制御する。また送信バッファTXBによるマクロブロックMB 2への信号DATA INの出力処理を制御する。この場合に本実施形態では、信号DATA INの出力処理の際のクロック周波数CF1（例えば60MHz）よりも遅いクロック周波数CF2で、送信バッファTXBに信号TIを蓄積するようにしている。このようにすれば、信号TIの蓄積処理を、遅いクロック周波数CF2を用いて余裕を持ってできるようになる。従って、テスト入力端子TPIに大きな寄生容量が寄生している場合にも、バラツキの少ない安定したテスト結果を得ることができる。

#### 【0098】

通信シーケンサCSQは受信シーケンサRSQを含む。このRSQはマクロブロックMB 2 との間でハンドシェークによる受信処理を行うためのシーケンサである。具体的には受信シーケンサRSQは、バスにアクティビティがあることを示す信号RXACTIVEや、受信データ信号DATA OUTが有効であることを示す信号RXVALIDや、パケット受信中にエラーがあったことを示す信号RXERRORを、マクロブロックMB 2から受ける。これらの信号RXACT

I V E、R X V A L I D、R X E R R O Rは、図9においてM B 2からS E L 2を介して信号T O U T 1として受信シーケンサR S Qに入力される。

#### 【0099】

そして受信シーケンサR S Qは制御信号R C T Lを用いてテスト用受信バッファR X Bを制御する。具体的には、受信バッファR X BによるマクロブロックM B 2からの信号D A T A O U Tの蓄積処理を制御する。また受信バッファR X Bによるテスト出力端子T P Oへの信号T Oの出力処理を制御する。この場合に本実施形態では、信号D A T A O U Tの蓄積処理の際のクロック周波数C F 1（例えば60MHz）よりも遅いクロック周波数C F 3で（C F 3はC F 2と同じでもよい）、信号T Oを出力するようにしている。このようにすれば、信号T Oの出力処理を、遅いクロック周波数C F 3を用いて余裕を持つてできるようになる。従って、テスト出力端子T P Oに大きな寄生容量が寄生している場合にも、バラツキの少ない安定したテスト結果を得ることができる。

次に図13、図14の波形図を用いて、テスト回路T C及び通信シーケンサC S Qの詳細な動作について説明する。

#### 【0100】

まずC 1に示すように外部のテストがテスト端子を用いて、アドレス信号T A Dを0 x Bに設定し、ライト信号T W Rをアクティブ（Lレベル）にすると共に信号T Iを0 x 0に設定することで、図10のP L L S E L E C T、O S C E N B、C L K S E L E C T 1、C L K S E L E C T 0が全て「0」に設定される。そしてC 2に示すようにテストが、T A Dを0 x 8に設定し、T W Rをアクティブにすると共にT Iを0 x 0に設定することで、図10のT X M O D Eが「0」に設定される。これにより、4バイト（複数バイト）の送信データ信号を連続して送信するモードに通信シーケンサC S Qが設定される。

#### 【0101】

次にC 3に示すようにテストが、アドレス信号T A Dを0 x 0～0 x 7に設定し、ライト信号T W Rをアクティブにすると共にT Iを0 x Fに設定することで、図10の送信バッファT X Bの4段のバッファT x B u f 0～T x B u f 3の全てのビットに「1」が書き込まれる。この場合にこの書き込み処理は遅いクロ

ック周波数CF2で行われる。そしてC4に示すようにテストが、アドレス信号TADを0xFに設定し、ライト信号TWRをアクティブにすると共に信号TIを0x1に設定することで、図10のTXSTARTに「1」が設定される。これにより通信シーケンサCSQによる自動送信処理が開始する。

#### 【0102】

図14は、図13のC5に示す部分を拡大した波形図である。通信シーケンサCSQ（送信シーケンサTSQ）は、送信処理が開始すると図14のD1に示すように信号TXVALIDをアクティブにし、D2に示すようにマクロブロックMB2が信号TXREADYをアクティブにする。そしてD3に示す送信データ信号DATAIN（FF）がMB2に送信される。

#### 【0103】

マクロブロックMB2は、送信データ信号DATAINを受けると、D4に示すように、差動信号DP、DMを用いてUSBバス上での送信処理を開始する。そしてループバックモードに設定されたマクロブロックMB2は、自身が送信した送信データ信号を、ループバックモードで受信データ信号として受信する。そしてD5に示すようにマクロブロックMB2は信号RXACTIVEをアクティブにする。その後、MB2はD6、D7に示すように信号RXVALIDをアクティブにする。すると、これを受けた通信シーケンサCSQ（受信シーケンサRSQ）は、D8、D9に示すMB2からの受信データ信号DATAOUT（FF）をテスト用受信バッファRXBに蓄積する。この場合にこの蓄積処理は速いクロック周波数CF1で行われる。

#### 【0104】

その後、図13のC6に示すようにテストが、アドレス信号TADを0x0～0x7に設定し、リード信号TRDをアクティブにすることで、C7に示すように受信バッファRXBに蓄積された受信データ信号TOがテスト出力端子TPOを介してテストにより読み出される。この場合にこの読み出し処理は遅いクロック周波数CF3により行われる。そして、テストが、読み出された値と期待値との比較処理を行い、期待値と一致していればテストを合格とし、一致していなければ不合格とする。このようにすることテストが完了する。



**【0105】****6. マクロブロック**

図15にマクロブロックMB1の一例を示す。なお本実施形態のマクロブロックMB1は図15に示す構成に限定されるものではない。図15のマクロブロックMB1は、SIE (Serial Interface Engine) 30、エンドポイント管理回路40、バッファ管理回路50、バッファ60、バルク転送管理回路70、DMAC (Direct Memory Accesss Controller) 80を含む。

**【0106】**

SIE30は、USBのパケット転送処理などの種々の処理を行う回路である。このSIE30（広義には第1のインターフェース回路）はパケットハンドラ回路32、サスペンド&レジューム制御回路34、トランザクション管理回路36を含む。ここでパケットハンドラ回路32は、ヘッダ及びデータからなるパケットの組み立て（生成）や分解などを行ったり、CRCの生成や解読を行う。またサスペンド&レジューム制御回路34は、サスペンドやレジューム時のシーケンス制御を行う。またトランザクション管理回路36は、トークン、データ、ハンドシェークなどのパケットにより構成されるトランザクションを管理する。そしてトランザクション管理回路36は、トークンパケットを受信した場合には、自分宛か否かを確認し、自分宛の場合には、データパケットの転送処理を行い、その後、ハンドシェークパケットの転送処理を行う。

**【0107】**

エンドポイント管理回路40は、バッファ60の各記憶領域の入り口となるエンドポイントを管理する回路であり、エンドポイントの属性情報を記憶するレジスタ（レジスタセット）などを含む。

**【0108】**

バッファ管理回路50は、例えばRAMなどで構成されるバッファ60を管理する回路である。より具体的には、書き込みアドレスや読み出しアドレスを生成し、バッファ60へのデータの書き込み処理やバッファ60からのデータの読み出し処理を行う。

**【0109】**

バッファ 6 0（パケットバッファ、パケット記憶手段）は、U S B を介して転送されるデータ（パケット）を一時的に記憶するものであり、U S B（第 1 のバス）でのデータ転送速度と、E B U S（第 2 のバス）でのデータ転送速度との速度差を補償する機能などを有する。なお、E B U S は、ハードディスクドライブ、光ディスクドライブ、M P E G エンコーダ、M P E G デコーダなどの外部デバイスに接続される外部バスである。

#### 【 0 1 1 0 】

バルク転送管理回路 7 0 は、U S B におけるバルク転送を管理するための回路である。また D M A C 8 0（広義には第 2 のインターフェース回路）は、E B U S を介して外部デバイスとの間で D M A 転送を行うための D M A コントローラである。

#### 【 0 1 1 1 】

図 1 6 にマクロブロック M B 2 の一例を示す。なお本実施形態のマクロブロック M B 2 は図 1 6 に示す構成に限定されるものではない。

#### 【 0 1 1 2 】

マクロブロック M B 2 は、データハンドラ回路 9 0、クロック生成回路 9 2、H S（High Speed）回路 9 4、F S（Full Speed）回路 9 6 を含む。これらの回路は論理層回路である。また M B 2 は、物理層回路（P H Y）であるアナログフロントエンド回路 9 8（送受信回路）を含む。

#### 【 0 1 1 3 】

データハンドラ回路 9 0 は、U S B 2 . 0 等に準拠したデータ転送のための種々の処理を行う。より具体的には、送信時には、送信データに S Y N C（SYNChronization）、S O P（Start Of Packet）、E O P（End Of Packet）を付加する処理や、ビットスタッフィング処理等を行う。一方、受信時には、受信データの S Y N C、S O P、E O P を検出し、削除する処理や、ビットアンスタッフィング処理などを行う。更に、データハンドラ回路 9 0 は、データの送受信を制御するための各種のタイミング信号を生成する処理も行う。

#### 【 0 1 1 4 】

U S B 2 . 0 では、H S モード（広義には第 1 の転送モード）と F S モード（

広義には第 2 の転送モード) が定義されている。H S モードは、U S B 2 . 0 に  
より新たに定義された転送モードである。F S モードは、従来の U S B 1 . 1 で  
既に定義されている転送モードである。

#### 【 0 1 1 5 】

クロック生成回路 9 2 は、H S 用の 4 8 0 M H z のクロックや、6 0 M H z の  
システムクロックなどの種々の周波数のクロックを生成する回路であり、O S C  
、P L L 4 8 0 M、P L L 6 0 Mを含む。

#### 【 0 1 1 6 】

ここで O S C (発振回路) は、例えば外部振動子との組み合わせによりベー  
スクロックを生成する。P L L 4 8 0 M は、O S C (発振回路) で生成されたベー  
スクロックに基づいて、H S モードに必要な 4 8 0 M H z のクロックと、F S モ  
ードやシステムクロックに必要な 6 0 M H z のクロックを生成する P L L (Phas  
e Locked Loop) である。P L L 6 0 M は、O S C (発振回路) で生成されたベー  
スクロックに基づいて、F S モードやシステムクロックに必要な 6 0 M H z の  
クロックを生成する P L L である。

#### 【 0 1 1 7 】

H S 回路 9 4 は、データ転送速度が 4 8 0 M b p s となる H S モードでのデー  
タの送受信を行うためのロジック回路である。一方、F S 回路 9 6 は、データ転  
送速度が 1 2 M b p s となる F S モードでのデータの送受信を行うためのロジッ  
ク回路である。

#### 【 0 1 1 8 】

アナログフロントエンド回路 9 8 (送受信回路) は、F S モードや H S モード  
での送受信を行うためのドライバやレシーバを含むアナログ回路であり、差動信  
号 D P、D M を用いて送受信処理を行う。このアナログフロントエンド回路 9 8  
には、H S モードでの送受信を行うための H S モード用ドライバ及びレシーバと  
、F S モードで送受信を行うための F S モード用ドライバ及びレシーバを含ませ  
ることができる。

#### 【 0 1 1 9 】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形

実施が可能である。

**【0 1 2 0】**

例えばテスト回路、第 1、第 2 のマクロブロックの構成は、図 2、図 7、図 9、図 1 5、図 1 6 等で説明した構成に限定されず、種々の変形実施が可能である。

**【0 1 2 1】**

また本実施形態で説明したセクタ S E L 1、S E L 2、ダミーのスキャン用フリップフロップ D S F F、通信シーケンサ C S Q、テスト用送信バッファ T X B、テスト用受信バッファ R X B、テスト用バッファ T S B と均等な回路を用いる場合も、本発明の均等な範囲に含まれる。

**【0 1 2 2】**

また、明細書又は図面中の記載において広義な用語（通信マクロブロック仕様、第 1 のインターフェース回路、第 2 のインターフェース回路、第 1 の転送モード、第 2 の転送モード、（I - J）個、複数段、複数バイト等）として引用された用語（U T M I、S I E、D A M C、H S モード、F S モード、3 個、4 段、4 バイト等）は、明細書又は図面中の他の記載においても広義な用語に置き換えることができる。

**【0 1 2 3】**

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の 1 の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

**【図面の簡単な説明】**

**【図 1】** 図 1（A）（B）はマクロブロックを含む集積回路のテスト手法についての説明図である。

**【図 2】** 本実施形態のテスト回路の構成例である。

**【図 3】** 図 3（A）（B）はテスト回路の動作説明図である。

**【図 4】** マクロブロック及びテスト回路にスキャンパスを設定する手法の説明図である。

**【図 5】** 図 5（A）（B）はスキャン手法の説明図である。

【図 6】 スキャン手法を利用したテスト方法のフローチャートである。

【図 7】 ダミーのスキャン用 F F を含むテスト回路の例である。

【図 8】 図 8 (A) (B) (C) はダミーのスキャン用 F F の説明図である。

。

【図 9】 本実施形態のテスト回路の詳細例である。

【図 1 0】 バッファのアドレスマップの例である。

【図 1 1】 図 1 1 (A) ～ (D) は本実施形態のテスト用バッファ、テスト用送信バッファ、テスト用受信バッファの説明図である。

【図 1 2】 通信シーケンサの構成例である。

【図 1 3】 テスト回路や通信シーケンサの動作を説明する波形図である。

【図 1 4】 テスト回路や通信シーケンサの動作を説明する波形図である。

【図 1 5】 マクロブロック MB 1 の一例である。

【図 1 6】 マクロブロック MB 2 の一例である。

【符号の説明】

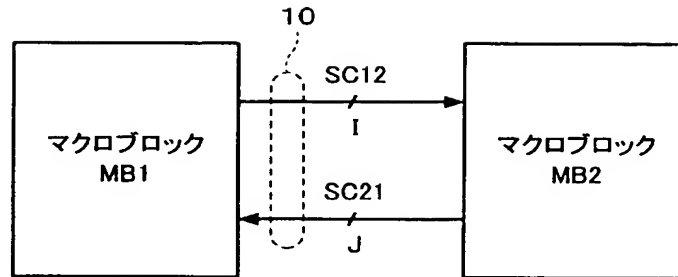
MB 1 第 1 のマクロブロック、MB 2 第 2 のマクロブロック、  
SEL 1 第 1 のセクタ、SEL 2 第 2 のセクタ、  
TC テスト回路、SS 1、SS 2 選択信号、  
M1 OUT MB 1 の出力信号、M1 IN MB 1 の入力信号、  
M2 IN MB 2 の入力信号、M2 OUT MB 2 の出力信号、  
T IN テスト入力信号、T OUT テスト出力信号、  
T P I テスト入力端子、T P O テスト出力端子、  
SQ SEL 1 の出力信号、  
DSFF、DSFF 1 ～ DSFF 3 ダミーのスキャン用フリップフロップ、  
CSQ 通信シーケンサ、TXB テスト用送信バッファ、  
RXB テスト用受信バッファ、TSB テスト用バッファ、  
DEC デコーダ、PHY 物理層回路、  
1 0、1 2、1 4 接続部分、3 0 S I E、3 2 パケットハンドラ回路、  
3 4 サスペンド&レジューム回路、3 6 トランザクション管理回路  
4 0 エンドポイント管理回路、5 0 バッファ管理回路、6 0 バッファ、

7 0 バルク転送管理回路、8 0 DMAC、  
9 0 データハンドラ回路、9 2 クロック生成回路、9 4 HS回路、  
9 6 FS回路、9 8 アナログフロントエンド回路、

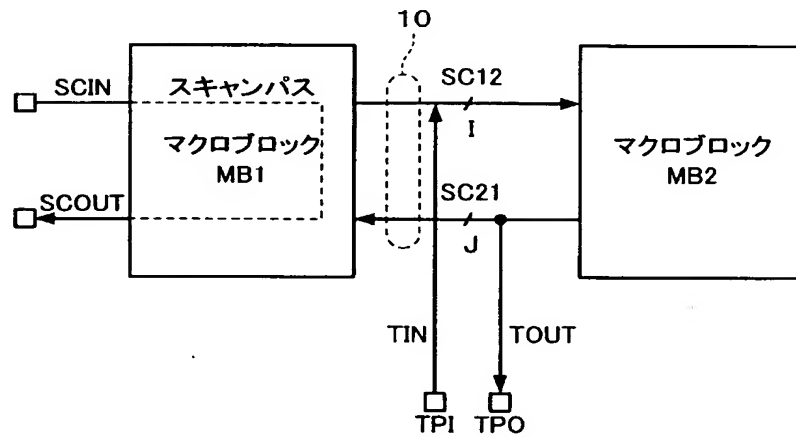
【書類名】 図面

【図 1】

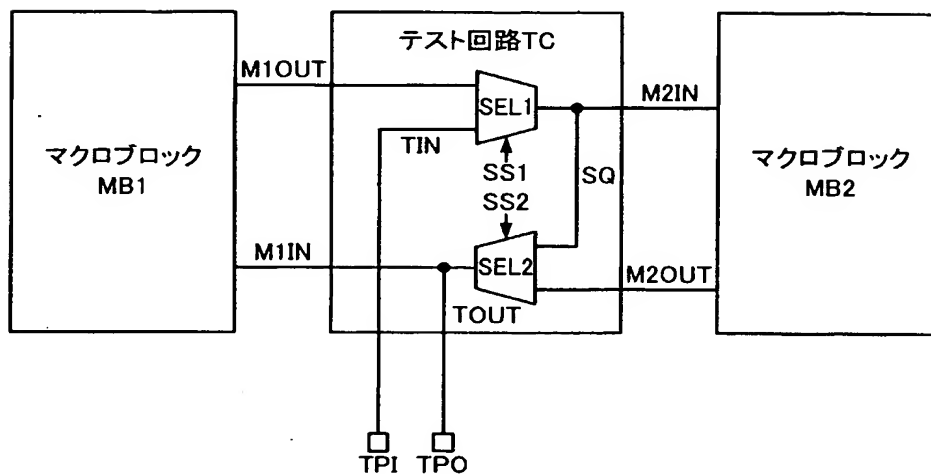
(A)



(B)

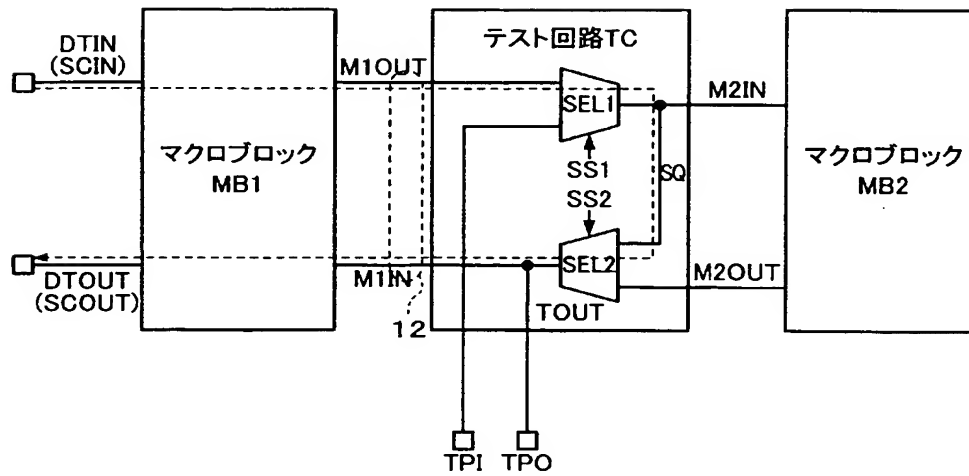


【図 2】

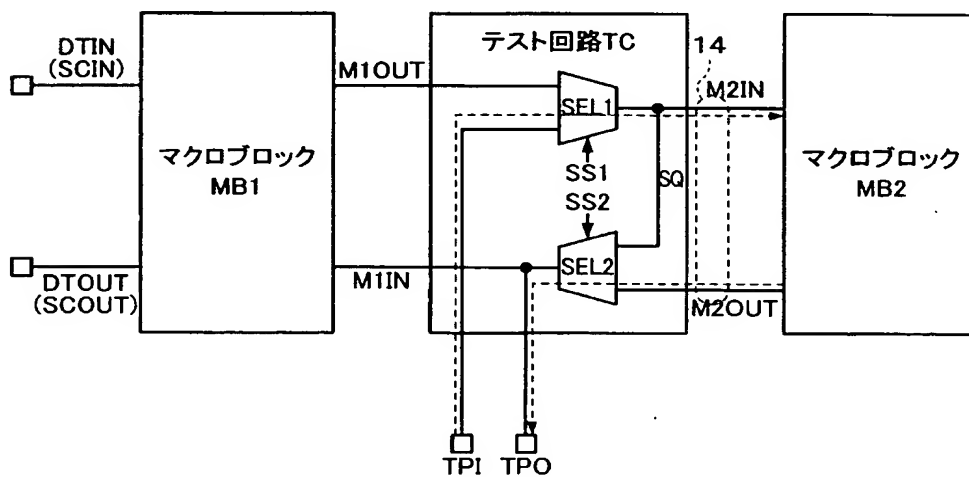


【図 3】

(A) 第1のテストモード

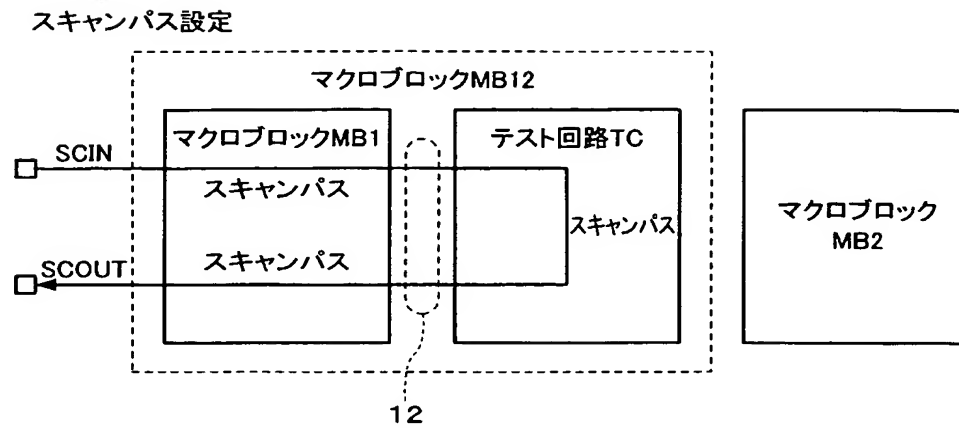


(B) 第2のテストモード

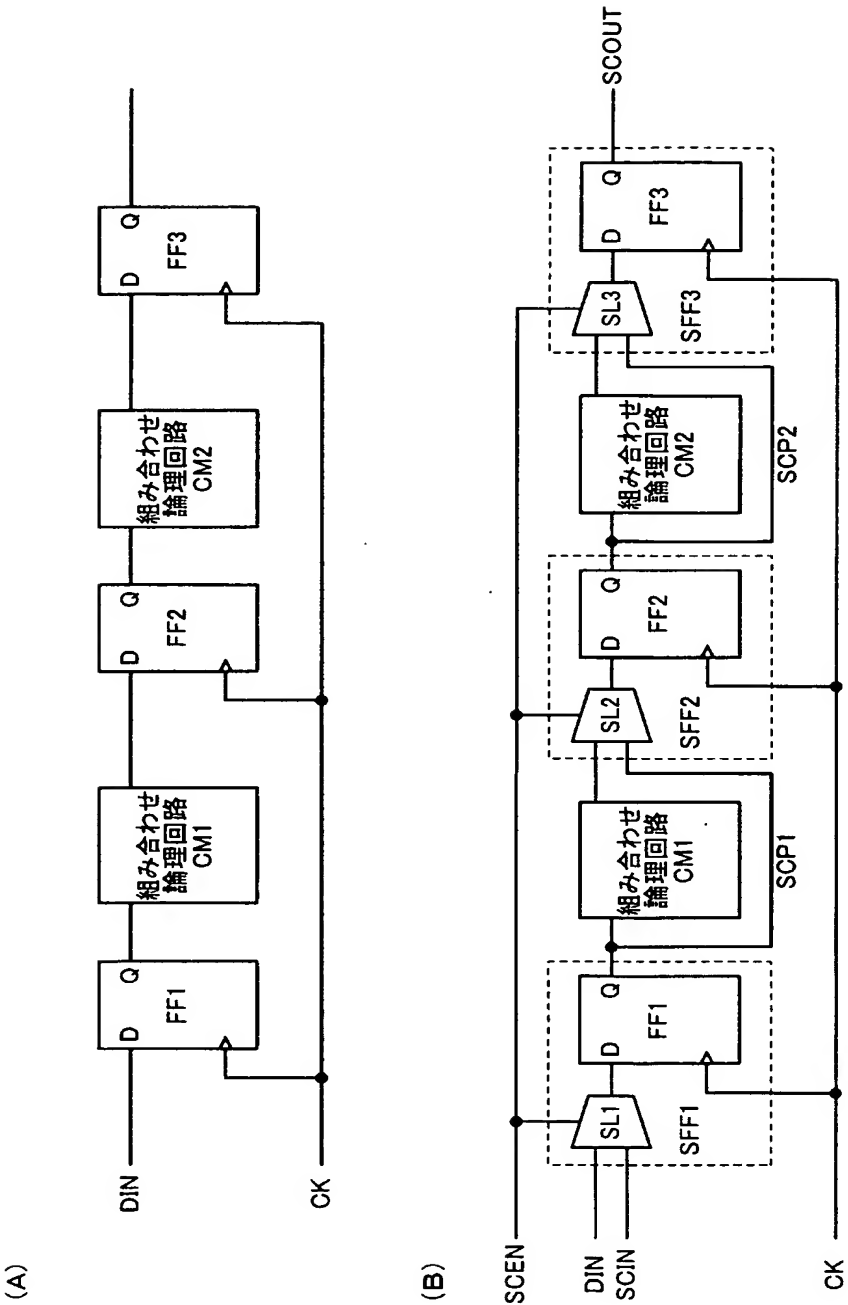




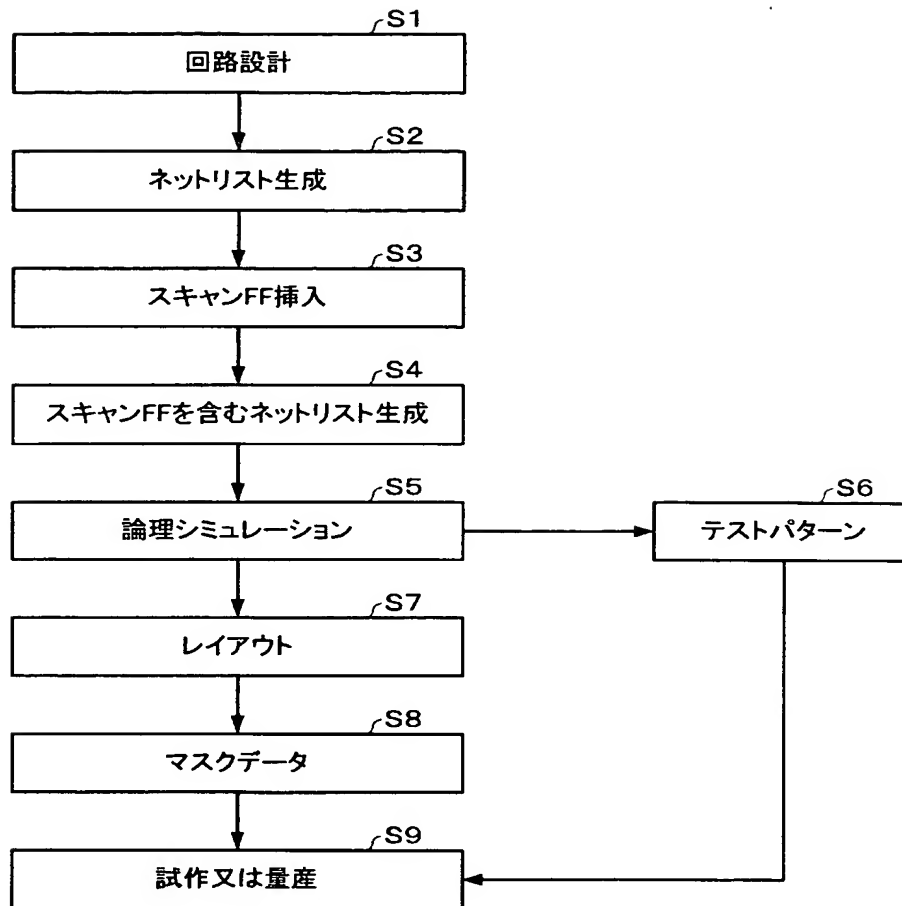
【図 4】



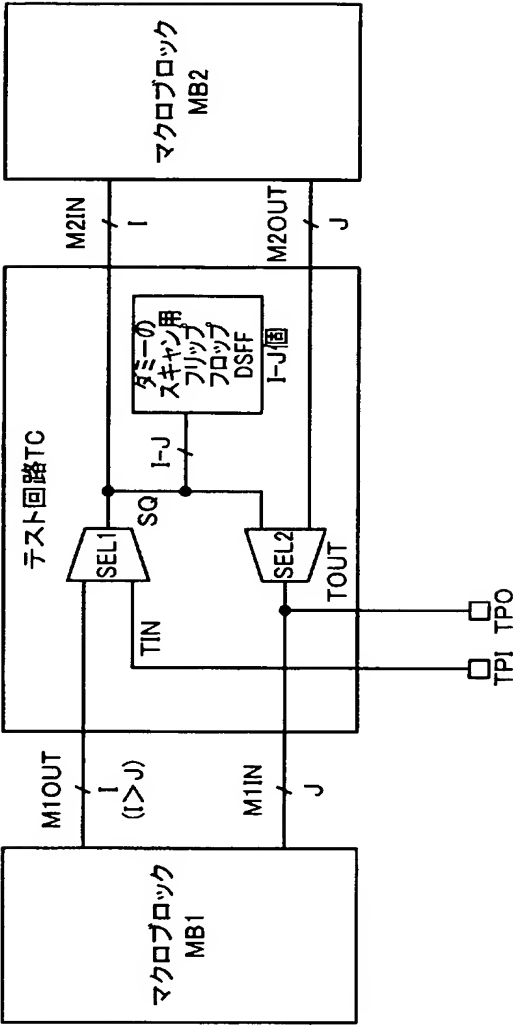
【図 5】



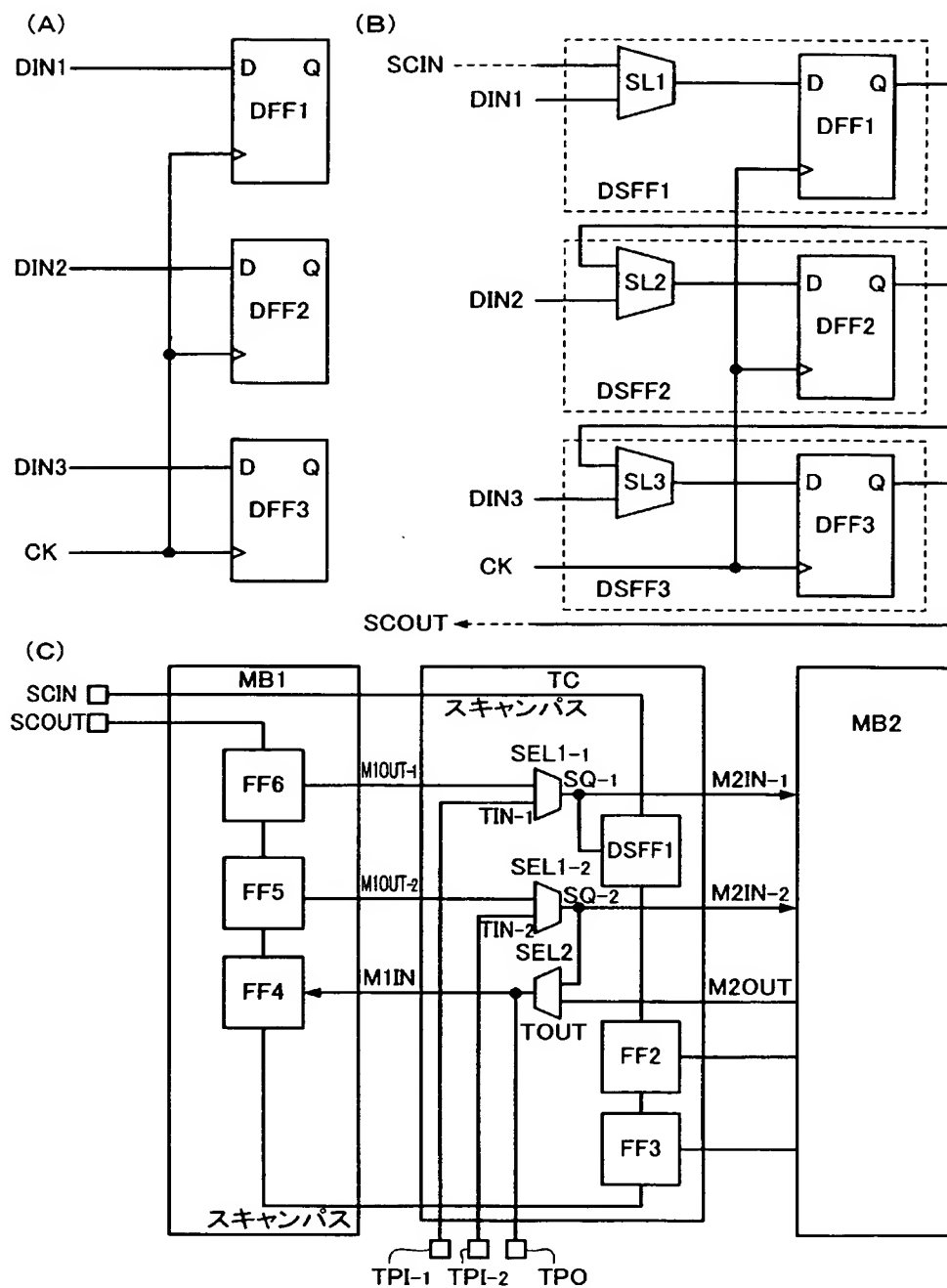
【図 6】



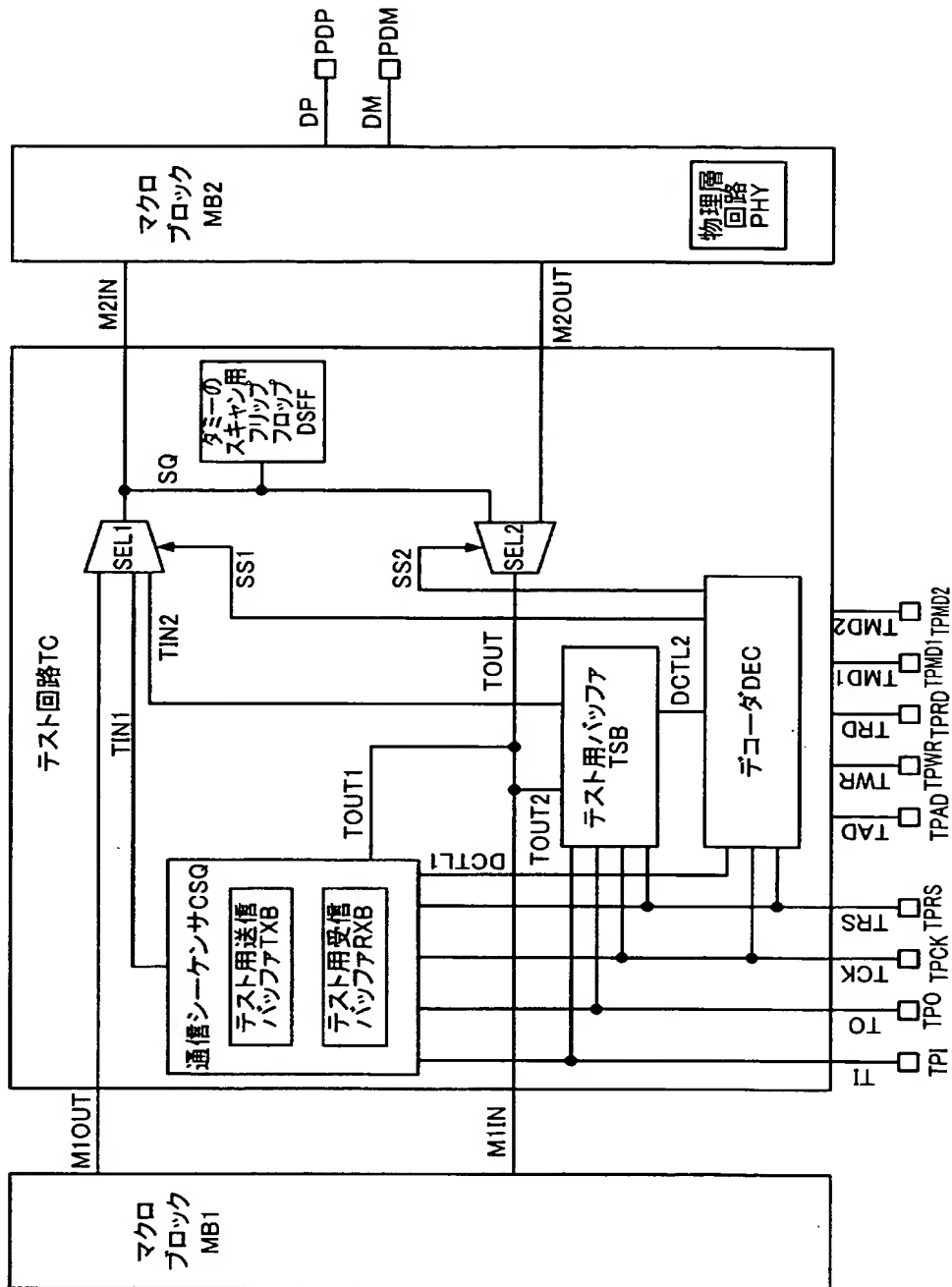
【図 7】



【図 8】



【図 9】

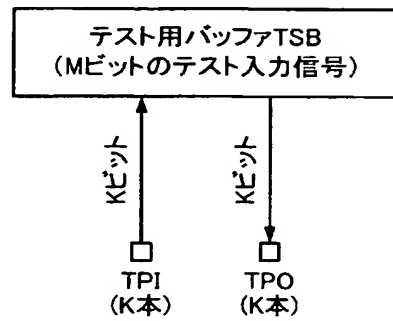


【図 10】

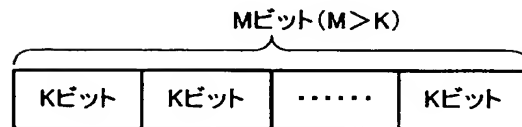
TAD	TRD/TWR	Bit3	Bit2	Bit1	Bit0
0x0	W	TxBuf0[7]	TxBuf0[6]	TxBuf0[5]	TxBuf0[4]
0x0	R	RxBuf0[7]	RxBuf0[6]	RxBuf0[5]	RxBuf0[4]
0x1	W	TxBuf0[3]	TxBuf0[2]	TxBuf0[1]	TxBuf0[0]
0x1	R	RxBuf0[3]	RxBuf0[2]	RxBuf0[1]	RxBuf0[0]
0x2	W	TxBuf1[7]	TxBuf1[6]	TxBuf1[5]	TxBuf1[4]
0x2	R	RxBuf1[7]	RxBuf1[6]	RxBuf1[5]	RxBuf1[4]
0x3	W	TxBuf1[3]	TxBuf1[2]	TxBuf1[1]	TxBuf1[0]
0x3	R	RxBuf1[3]	RxBuf1[2]	RxBuf1[1]	RxBuf1[0]
0x4	W	TxBuf2[7]	TxBuf2[6]	TxBuf2[5]	TxBuf2[4]
0x4	R	RxBuf2[7]	RxBuf2[6]	RxBuf2[5]	RxBuf2[4]
0x5	W	TxBuf2[3]	TxBuf2[2]	TxBuf2[1]	TxBuf2[0]
0x5	R	RxBuf2[3]	RxBuf2[2]	RxBuf2[1]	RxBuf2[0]
0x6	W	TxBuf3[7]	TxBuf3[6]	TxBuf3[5]	TxBuf3[4]
0x6	R	RxBuf3[7]	RxBuf3[6]	RxBuf3[5]	RxBuf3[4]
0x7	W	TxBuf3[3]	TxBuf3[2]	TxBuf3[1]	TxBuf3[0]
0x7	R	RxBuf3[3]	RxBuf3[2]	RxBuf3[1]	RxBuf3[0]
0x8	R/W	-	-	TXMODE	-
0x9	R/W	XCVRSELECT	TERMSELECT	OPMODE1	OPMODE0
0xA	R/W	PLLSELECT	OSCENB	CLKSELECT1	CLKSELECT0
0xB	R/W	RESET	RAWCLOCK	ANA_IQ	SUSPEND
0xC	R/W	OPENLOOP	TglCLK	DivideCLK	MonCLK(R)
0xD	R	MonRXACTIVE	MonRXERROR	MonLINESTATE1	MonLINESTATE0
0xE	R/W	-	-	MonRXERROR(R)	LatRXERROR
0xF	R/W	-	-	-	TXSTART

【図 11】

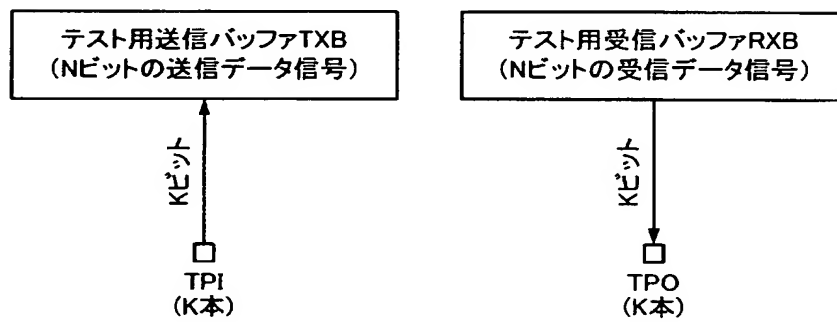
(A)



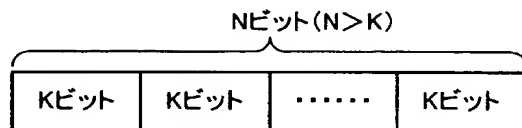
(B)



(C)

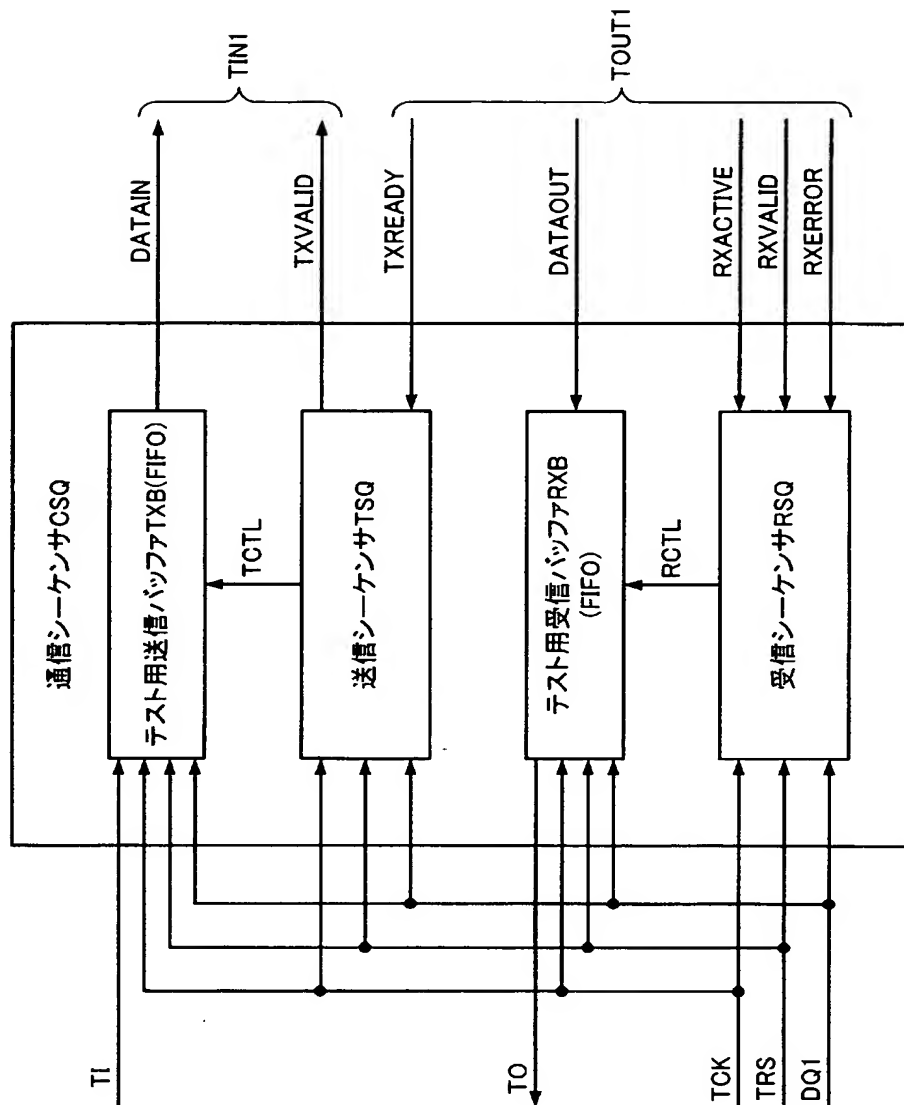


(D)



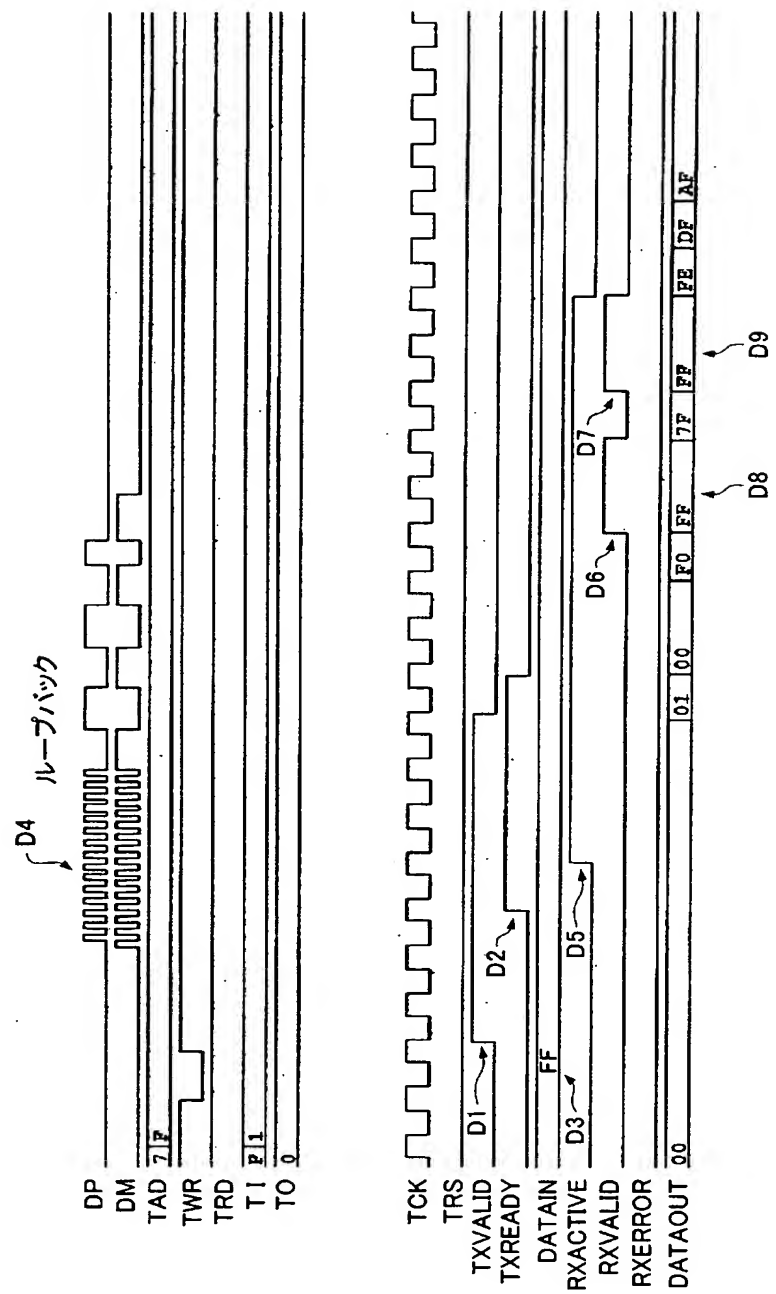


【図 12】

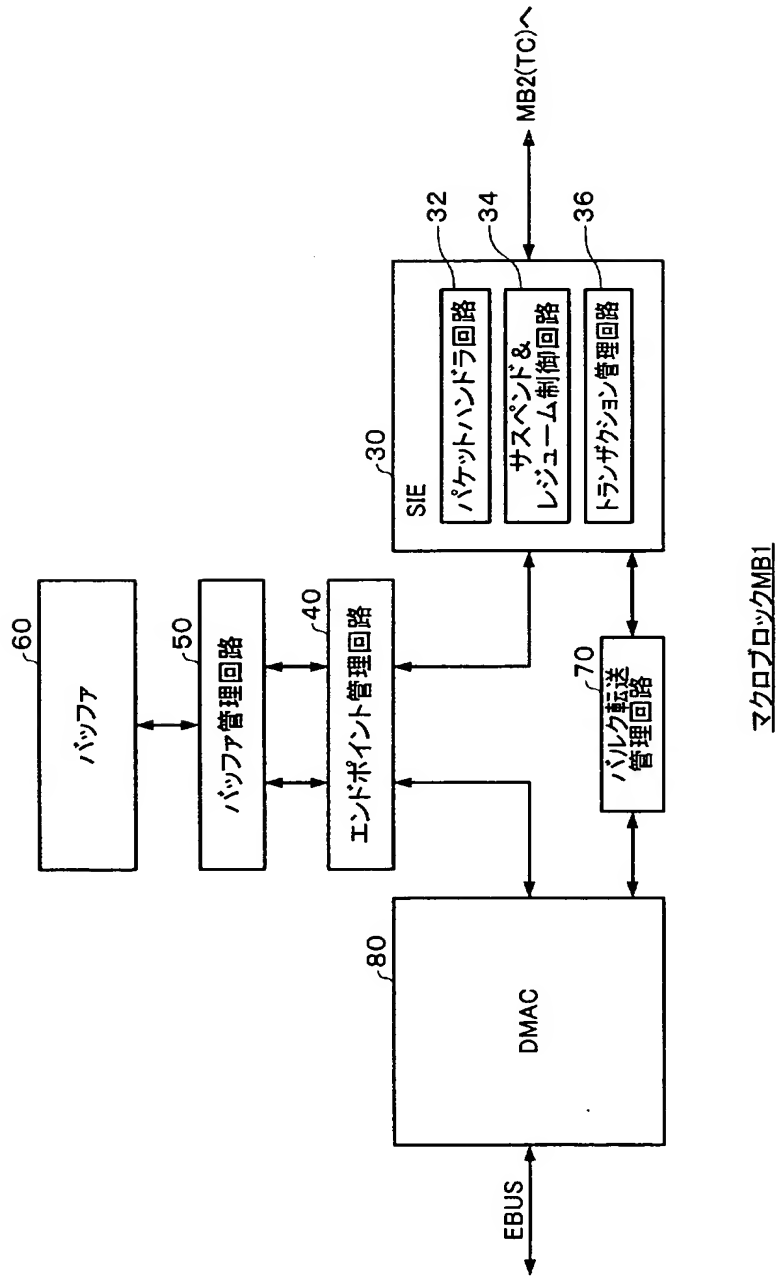




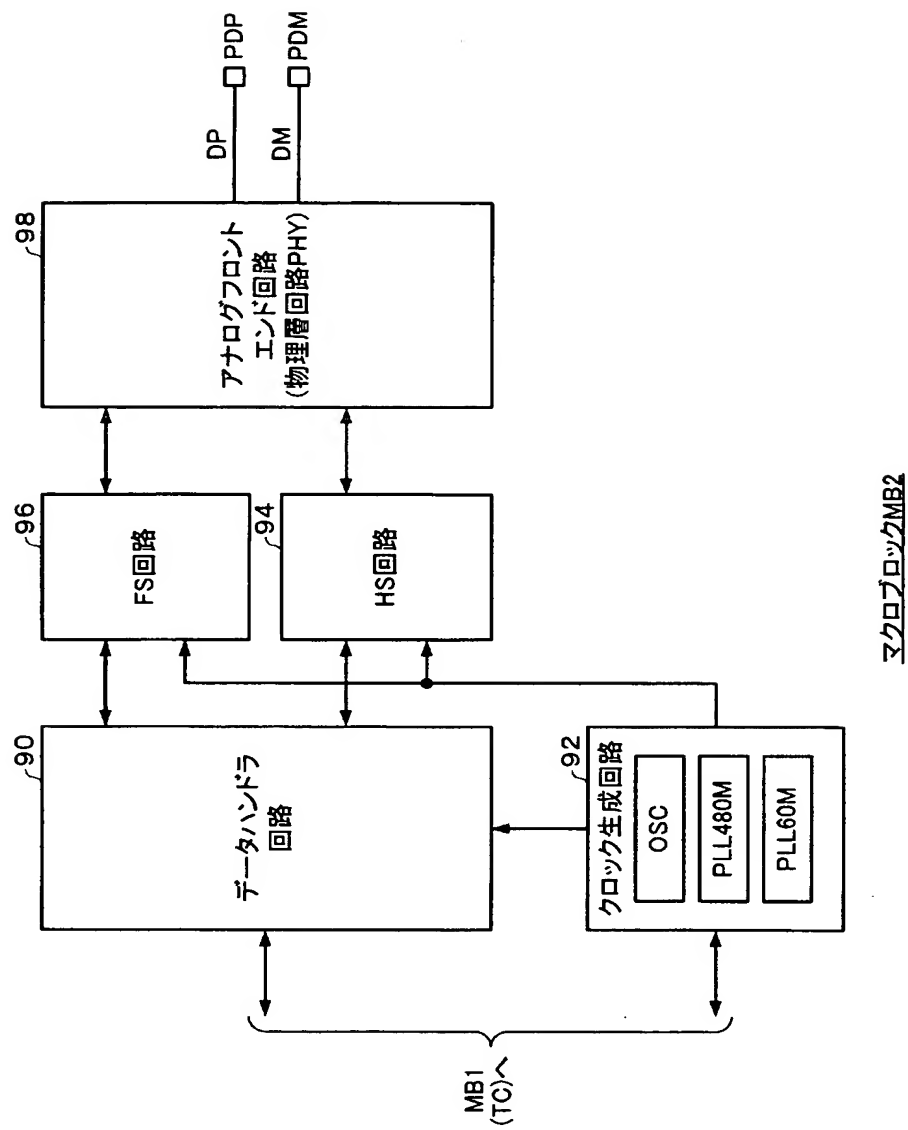
【図 14】



【図 15】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 テストパターン作成の容易化等を実現できるテスト回路、集積回路、テスト方法を提供すること。

【解決手段】 テスト回路は、その第 1 の入力にマクロブロック MB 1 からの信号 M 1 O U T が入力され、その第 2 の入力にマクロブロック MB 2 用テスト入力信号 T I N 1、T I N 2 が入力されるセレクト SEL 1 と、その第 1 の入力に SEL 1 からの信号 S Q が入力され、その第 2 の入力に MB 2 からの信号 M 2 O U T が入力されるセレクト SEL 2 を含む。MB 1 をテストする第 1 のテストモードでは、SEL 1 が MB 1 からの信号 M 1 O U T を SEL 2 の第 1 の入力に出力し、SEL 2 が SEL 1 からの信号 S Q を MB 1 に出力する。MB 2 をテストする第 2 のテストモードでは、SEL 1 が MB 2 用のテスト入力信号 T I N 1、T I N 2 を MB 2 に出力し、SEL 2 が MB 2 からの信号 M 2 O U T を MB 2 用テスト出力信号 T O U T として出力する。

【選択図】 図 9

特願 2 0 0 3 - 0 2 2 2 3 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社